

EDA 实验说明及典型课件介绍

一、实验课程的目的和任务

本课程从属于相应理论课程，是工科本科教育电子信息工程、通信工程专业的一门实践性很强的专业课。通过实验，达到使学生初步具有利用 EDA 技术进行数字电子系统设计、调试的能力，并具有一定分析电路问题，解决电路故障能力的目的。学生在实验过程中，由易到难，由简到繁，通过自行设计、自行调试，应完成如下任务：

1. 学会 Quartus II 集成开发软件和实验开发装置的使用；
2. 深化 VHDL 硬件描述语言的学习和应用；
3. 掌握用 EDA 的方法对多个由简单到复杂的数字系统从构思到代码编制、软件仿真调试、下载硬件测试的全过程。

从设计到仿真、测试要求学生独立完成，使学生对一个数字系统的开发有一个全面的认知。

二、实验课程的主要内容和基本要求

学生应具有较扎实的数字电路基础知识及较强的计算机应用能力。在此基础上，相应的理论课程重点介绍 FPGA/CPLD 器件的基本原理、结构、应用，VHDL 硬件描述语言的语言现象和语法结构，在 Quartus II 集成开发环境上应用 FPGA/CPLD 器件进行电子系统设计全流程。实验课首先是熟悉使用 Quartus II 集成开发环境和实验开发装置，在此基础上通过由易到难，由浅入深的几个电子系统设计的实例进行用原理图输入方式，文本输入方式输入、代码编译、逻辑综合、结构综合、系统仿真、器件配置、下载、硬件测试等操作流程。掌握对一个数字电子系统从构思到设计、硬件集成开发、软件开发、仿真调试、下载验证的全过程。

三、实验考核方式

课程总学时数：48 学时，实验学时数：30 学时，通信实验中心 EDA 实验开设对象：电子信息工程、通信工程、生物医学工程专业 3 年级本科生。应开实验项目数：10，其中前 6 个设计实验为必做，后 4 个选做 2 个。都要求同学们自行设计，独立调试、下载。6 个必做实验中，调试、下载成功 5 个，成绩即为及格；成功 6 个，成绩即为中；加上选做题，成功 7 个，成绩即为良好；成功 8 个，成绩即为优秀。

四、实验考核项目

1、熟悉 Quartus II 集成开发软件及实验装置的使用，用原理图输入法和文本输入法实现 2 选 1 选择器；

- | | |
|-------------------|---------------------|
| 2、1 位二进制全加器设计； | 3、可变模计数器设计； |
| 4、1 0 1 1 序列检测器设计 | 5、1 位 BCD 码加/减法器设计； |
| 6、交通灯控制器设计； | 7、自动换挡频率计设计； |
| 8、步进电机控制系统设计； | 9、温度采集控制系统设计； |
| 10、纠错编码编译码器设计。 | |

五、实验课件说明

本实验课件以讲解 Quartus II 集成开发环境和实验开发装置为主，并介绍了用 EDA 方法进行数字系统设计的一般流程、思路和典型实验项目。为了充分发挥学生的创造性和积极性，同时兼顾部分同学的基础，本实验课件的内容部分与实验考核项目类似，大部分不一致，这样既让同学们学习了数字系统设计的方式方法，又给同学们发挥聪明才智留有空间。

实验课件所包含的实验项目如下：

- 1、十进制计数器设计；
- 2、用原理图输入法实现 1 位二进制全加器；
- 3、用原理图输入法实现测频计数器；
- 4、利用 LPM 参数化宏模块实现正弦信号发生器；
- 5、利用 LPM 参数化宏模块实现流水线乘法累加器的混合输入设计 ；
- 6、LPM 嵌入式锁相环应用；
- 7、步进电机细分驱动电路设计；
- 8、直流电机的 PWM 控制电路设计；
- 9、VGA 彩条信号显示控制器设计；
- 10、采用高速 A/D 的存储示波器设计；
- 11、通用异步收发器设计；
- 12、信号采集与频谱分析电路设计；
- 13、等精度频率/相位计设计

本课件参考借鉴了其他院校、公司、厂家的资料，在此一并表示感谢。

通信实验中心 EDA 教学研究组

附部分实验项目原理及要求：

模可变计数器设计

(一) 实验目的

- 1、学习使用 Quartus II 进行计数器的设计、仿真、下载和硬件测试；
- 2、熟悉基本 VHDL 设计技术，掌握常用 VHDL 语句；
- 3、熟悉 SmartSOPC 实验装置；
- 4、学习基本时序电路的设计；
- 5、学习扫描 7 段数码显示译码器设计；
- 6、学习多层次设计方法；

(二) 实验要求

- 1、设置一位控制位 M，要求 M=0：模 5 计数；M=1：模 15 计数；
- 2、计数结果用两位数码管显示；
- 3、给出此项设计的仿真波形；
- 4、应用实验装置验证此加法器的功能。

(三) 实验设备

(四) 实验原理

(五) 设计思路

(六) 实验步骤

(七) 实验结果（仿真波形图、硬件现象）

(八) 结果分析

(九) 设计改进

(十) 最终结果

(十一) 代码清单

(十二) 实验总结

智能数字钟设计

一、实验目的及要求：

- 1、数字显示当前的小时、分钟；
- 2、可以预置为 12 小时计时显示和 24 小时计时显示；
- 3、一个调节键，用于调节目标数位的数字。对调节的内容敏感，如调节分钟或秒时，保持按下时自动计数，否则以脉冲计数；
- 4、一个功能键，用于切换不同状态：计时、调时、调分、调秒、调小时制式。

二、实验基本原理：

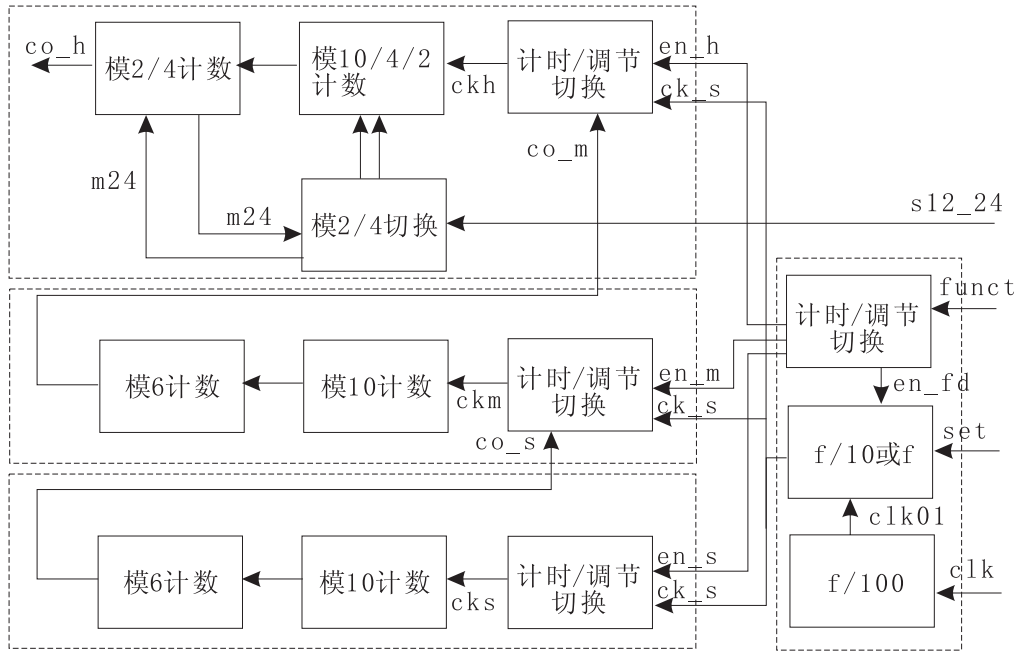


图 5 数字钟的顶层设计

分析如下：

- 系统需要两个六十进制计数器用于分钟和秒的计时，为方便译码采用 10 进制计数加 6 进制计数的方式；
- 系统需要一个 24/12 模可变的计数器用于小时的计时，为方便译码采用 10 进制计数加 2/4 进制计数的方式，一个模式控制输入端，一个进位输出端，用于扩展为日计时，一个模式输出用于指示当前模；设置为一个模 10/4/2 可变的计数器，其进位给一个模 3 的计数器，模 3 计数器的状态与模式输入一起决定模 10/4/2 可变的计数器的模式。
- 时分秒的计数器的时钟信号要前置一个选择模块，用于选择时钟来源，即正常的计数时钟及调节时钟，以及一个允许/禁止输入用于控制是否输出时钟信号。
- 为提高计时准确度，秒的计数脉冲由外电路分频为 0.1 秒后由调节模块处理；
- 调节模块处理包含一个前置的模 10 计数器，用于将生成 0.1 秒的调节脉冲和 1 秒的计时脉冲。工作与否由调节模块的调节输入决定；
- 调节模块处理还包含一个模 5 计数器，用于当数字钟处于调节状态下，监测调节键按下的时间。调节键按下时允许 0.1 秒计数脉冲作用，否则以键按下产生的脉冲作为计数脉冲。调节按键没有被按下时，停止；
- 驱动数码管显示需要的 bcd-7 段显示码译码器；
- 功能键每按下恢复时，产生秒-分钟-小时-计时的切换，同一时间只允许其中之一的

计数器使能计数，并且通过对调节模块的控制，改变时钟信号。

四、实验程序

五、实验步骤

六、实验结果

设计的数字钟能实现时、分、秒的计时功能并能进行时、分、秒的调校。

七、实验体会

十字路口交通灯控制器设计

一、 **实验目的：**学习较复杂数字系统的设计；

二、 **实验要求：**

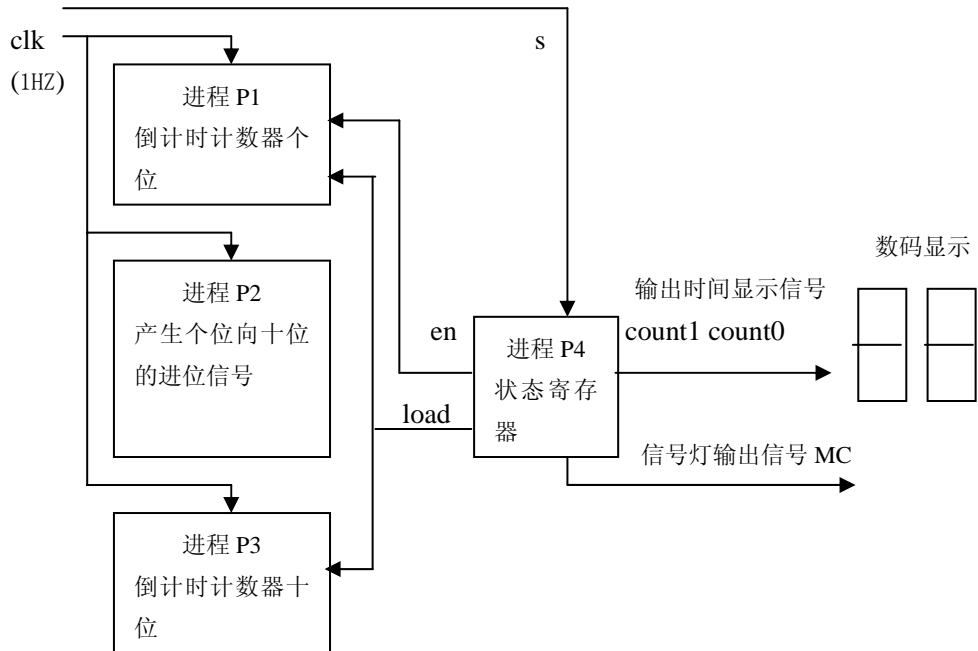
一条主干道，一条乡间公路。组成十字路口，要求优先保证主干道通行。

- 有 MR（主红）、MY（主黄）、MG（主绿）、CR（乡红）、CY（乡黄）、CG（乡绿）六盏交通灯需要控制；
- 交通灯由绿→红有 4 秒黄灯亮的间隔时间，由红→绿没有间隔时间；
- 系统有 MRCY、MRCG、MYCR、MGCR 四个状态；
- 乡间公路右侧各埋有一个传感器，当有车辆通过乡间公路时，发出请求信号 S=1，其余时间 S=0；
- 平时系统停留在 MGCR（主干道通行）状态，一旦 S 信号有效，经 MYCR（黄灯状态）转入 MRCG（乡间公路通行）状态，但要保证 MGCR 的状态不得短于一分钟；
- 一旦 S 信号无效，系统脱离 MRCG 状态。随即经 MRCY（黄灯状态）进入 MGCR 状态，即使 S 信号一直有效，MRCG 状态也不得长于 20 秒钟。

三、 **实验原理：**

- 系统设置一个两位 BCD 码倒计时计数器（计数脉冲 1HZ），用于记录各状态持续时间；
- 因为各状态持续时间不一致，所以上述计数器应置入不同的预置数；
- 倒计时计数值输出至二个数码管显示；
- 程序共设置 4 个进程：
 - ① 进程 P1、P2 和 P3 构成两个带有预置数功能的十进制计数器，其中 P1 和 P3 分别为个位和十位计数器，P2 产生个位向十位的进位信号；
 - ② P4 是状态寄存器，控制状态的转换，并输出 6 盏交通灯的控制信号。

用 VHDL 语言编写程序实现“十字路口交通灯管理系统”的原理框图 3 如下：



四、 **实验步骤：**

乐曲演奏器设计

一、实验目的

使用 LPM 和层次化设计方法，实现乐曲发生器的设计。

二、实验原理

1. 音符与频率的关系

组成乐曲的每个音符的发音频率值是乐曲能连续演奏所需的一个基本要素。简谱中从低音 1 到高音 1 之间每个音符的频率见表 1 所示。产生各音符所需的频率可用一分频器实现，分频器时钟频率的选取应综合考虑频率误差和分频级数两方面。本设计中选取 48MHZ 的基准频率。另外，为了减少输出的偶次谐波分量，使输出到扬声器的波形为对称方波，在到达扬声器之前应有一个二分频的分频器。因此表 1 中的分频系数是由 3MHZ 频率计算得出的。由于最大的分频系数不超过 2^{14} ，故采用 14 位二进制计数器已能满足分频要求。

表 1 音符的频率及对应的分频值

低音	频率 hz	分频系数	中音	频率 hz	分频系数	高音	频率 hz	分频系数
1	262	11467	1	523	5733	1	1046	2867
2	294	10216	2	587	5108	2	1175	2554
3	330	9101	3	659	4551	3	1319	2275
4	349	8590	4	698	4295	4	1397	2148
5	392	7653	5	784	3827	5	1568	1913
6	440	6818	6	880	3409	6	1760	1705
7	494	6074	7	988	3037	7	1976	1519

2. 节拍

每个音符持续的时间是乐曲能连续演奏所需的另一个基本要素。假设最小节拍为 1/4 拍，将 1 拍的时间长度定为 1s，则只需提供一个 4HZ 的时钟频率即可产生 1/4 拍的时长。演奏的时间控制通过记录来实现，对于占用时间较长的节拍，只需将该音符连续记录几次即可。

3. 层次化设计

如图 2 所示，音符的频率可以由 PULSE 元件的输出 SPEAK 获得，这是一个数控分频器，分频比由预置输入端 D[13...0]决定。输出为方波，其频率为 $3000000 / (1+D[13...0])$ Hz。音符的持续时间需根据乐曲的速度和每个音符的节拍数来确定，TABLE 元件为 PULSE 元件提供决定所发音符的分频预置数，而此数停留的时间就是该音符的节拍值。在 TALBE 元件中要设置一个计数器记录总的节拍值，比如总的节拍为 139，则可设置为 8 位二进制计数器。如果最小节拍为 1/4 拍，计数器的计数频率可选为 4HZ。这样四四拍的 4 分音符的持续时间为 0.25s，1 拍的停留时间需用 4 个计数时钟节拍，即 1s。

三、实验任务

任选一段乐谱在实验箱上实现自动演奏。本实验以《梁祝》中化蝶部分的乐曲演奏为例，该乐曲为 1/4 节拍，乐曲简谱如图 1 所示。

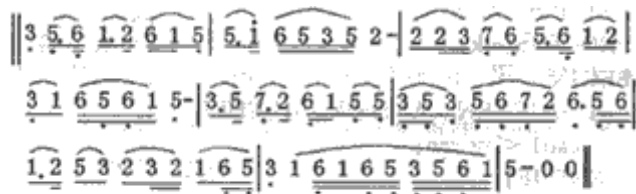


图1. 《梁祝》中化蝶部分简谱

四、 实验程序

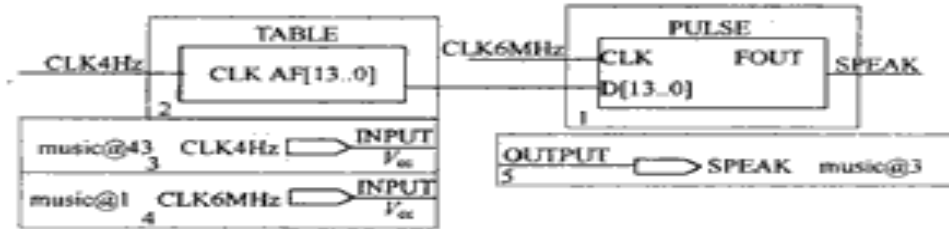


图2 顶层电路

五、 实验步骤

- 1.建立工程文件夹，文本方式输入 PULSE 元件程序，经编译、仿真、波形分析后生成 PULSE 元件。
- 2.输入 TABLE 元件程序，经编译、仿真、波形分析后生成 TABLE 元件。
- 3.用原理图方法建立 MUSIC 文件，经编译、仿真、波形分析、管脚分配后，下载到实验系统上进行验证。实验系统为广州致远电子有限公司生产的 SmartSOPC 教学实验开发平台；FPGA 目标芯片的型号为 EP1C12Q240-8；输入和输出引脚锁定为：CLK4HZ—75，CLK6MHZ—28，SPEAK—86。

六、 实验结果

当乐曲一遍演奏完成后，乐曲发生器能通过蜂鸣器自动从头开始循环演奏。

七、 实验体会

自动换档测频计设计

一、设计任务及要求：

- 1、位数：测量频率显示为 5 位十进制。
- 2、量程：分为四档。
 - 第一档：是最小量程档，最大读数 99999 Hz；
 - 第二档：最大读数 999.99 KHz；
 - 第三档：最大读数 9.9999 MHz；
 - 第四档：是最大量程，最大读数 99.999 MHz；

3、具有量程自动转换功能。

(1)当读数大于 99999 时，频率计处于超量程状态，此时显示器发出溢出指示，量程应自动增大一档，准备下一次测量。

(2)当读数小于 09999 时，频率计处于欠量程状态，此时量程应自动减小一档，准备下一次测量。

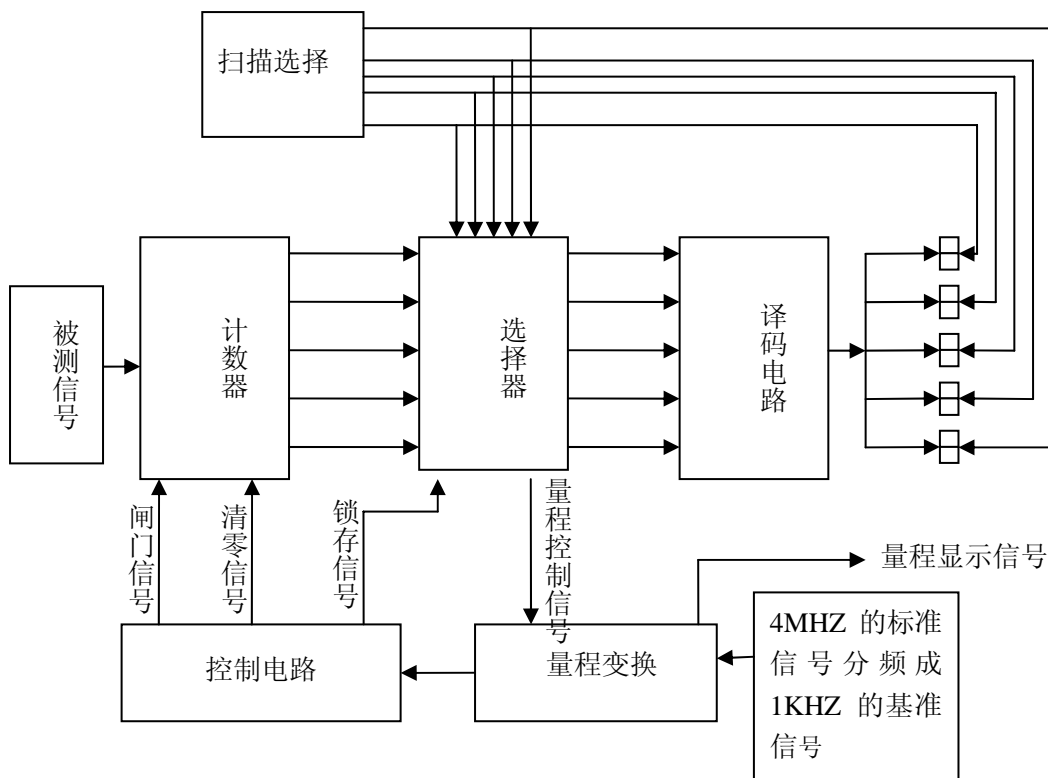
4、显示工作方式

(1)用七段数码管显示读数，只有在读数不在跳变时，才是正确的结果。

(2)用记忆显示方式，即计数过程中不显示数据，待计数过程结束后，显示计数结果，并将此显示结果保持到下一次计数结束。显示时间应不小于 1 秒。

5、被测输入信号应是符合 CMOS 电路要求的正弦波、矩形波、三角波或不规则脉冲。

二、总体方案：



频率测量计原理框图（动态显示）

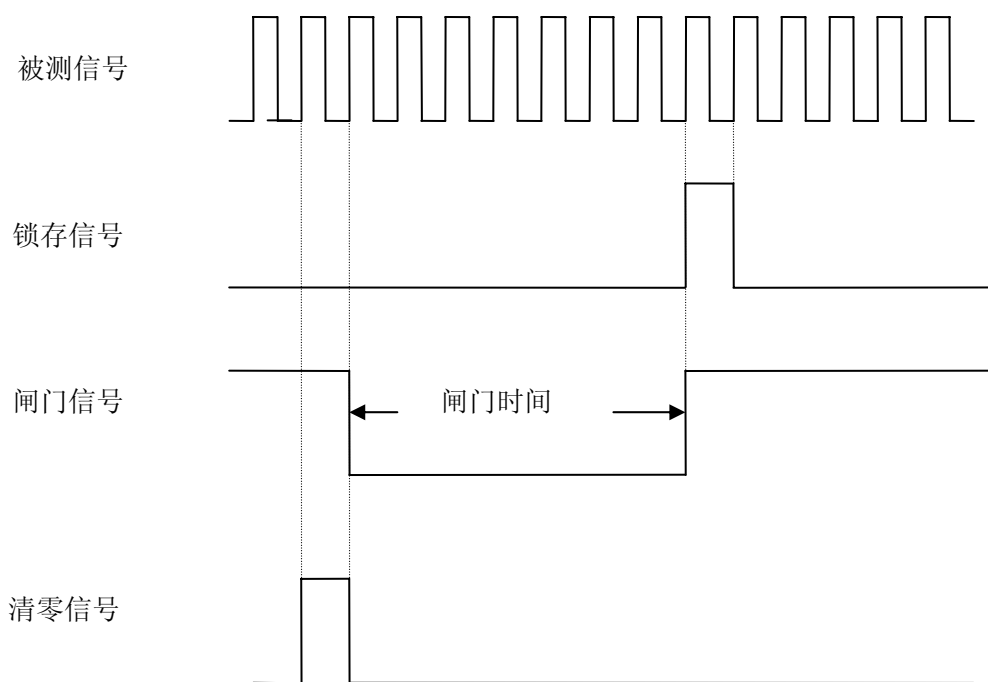
上图为动态显示方式，连线显示器的线数较少，尤其是在数码管较多时，更能显示其优越性。该方式由于任何时候都只有一只数码管点亮，故功耗较小，但需合理设计扫描电路，不然显示将产生闪烁感。

由晶振电路产生 4MHz 标准信号，经分频后获得 1KHz 基准脉冲信号，通过自动量程变换电路获得 0.001s、0.01s、0.1s、1s 闸门控制时间信号。频率测量计的主体部件是带闸门

控制计数端的计数器（测量计数器），输入信号经整形后由此计数器计数。当闸门信号为低电平时，闸门开通，被测信号的脉冲通过闸门进入计数器计数；当闸门信号为高电平时，闸门关闭，计数器停止计数。如果控制频率测量计的闸门时间恰好为 1 秒，则频率测量计的计数值就是输入信号的频率。若改变闸门计数时间，即可改变频率测量计的量程。如使闸门时间为 0.01 秒，则闸门时间内的计数值为被测信号的频率的 1/100，相当于频率测量计的量程向上端扩大了 100 倍（ $\times 100$ 挡）。因此，在计数器位数已确定的条件下，根据测量精度的要求，可通过调整闸门时间来改变频率测量计的量程。

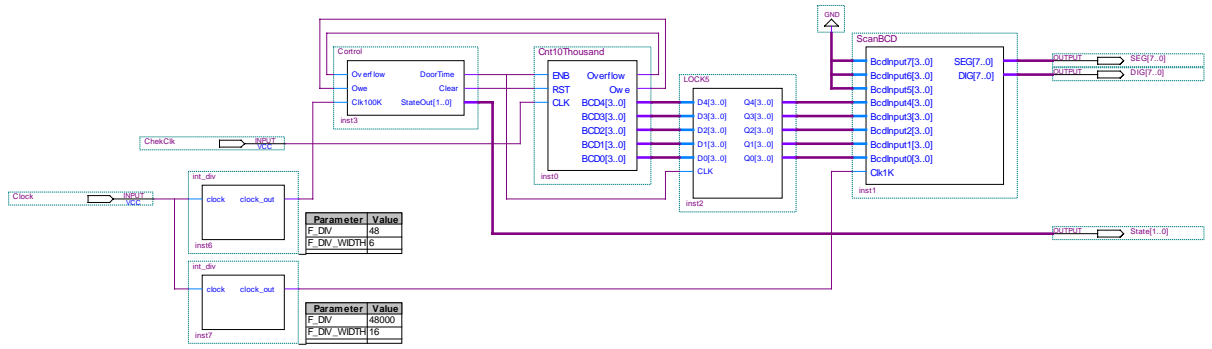
为了保证测频的准确，在每次闸门信号开通前必须让计数器处在零状态，保证计数器每次从零开始计数。因此，在闸门信号变为低电平前，必须给计数器提供一个清零脉冲信号。

如果计数器的输出直接连接译码显示电路，则在闸门信号低电平期间，频率测量计的显示随着计数值的增加不断变化，不断闪烁，人眼难以分辨。为了防止这种现象，在计数器和显示、译码之间增加一级锁存电路。当计数器停止计数后（闸门信号由低变高后），才将计数值锁存并送给译码显示电路。同时，为了防止显示闪烁，锁存信号的周期必须大于人的视觉停留时间（约 0.1 秒左右）。



系统波形图

频率测量计由带时钟使能端的十进制计数器、加减计数器、闸门计数器、分频器、锁存器、量程显示单元和 7 段显示译码器。



系统总图